

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—85527

⑤ Int. Cl.³
G 06 F 1/04

識別記号

庁内整理番号
7056—5B

⑬ 公開 昭和59年(1984)5月17日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ タイミング発生回路

⑯ 発明者 立花祥臣

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭57—195491

⑱ 出 願 昭57(1982)11月8日

⑰ 出 願 人 日本電気株式会社

⑲ 発 明 者 小林秀彦

東京都港区芝五丁目33番1号日
本電気株式会社内

東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

タイミング発生回路

2. 特許請求の範囲

- (1) 外部から供給される起動信号によりセットされる保持手段と、

該保持手段がセット状態の間にクロックを計数する計数手段と、

各々が複数桁からなる複数番地を有しかつ前記計数手段における計数値に基づいて定まる番地から前記桁の内容が読み出される記憶手段と、

該各桁の内容と前記クロックに同期したパルスとに基づいて前記記憶手段における桁位置ごとにタイミングパルスを生成するタイミング生成手段

とを設けたこと特徴とするタイミング発生回路。

- (2) 前記記憶手段は前記計数手段における計数値

と外部から供給される動作指定信号とにより定まる番地から前記桁の内容が読み出されるようにしたことを特徴とする特許請求の範囲第(1)項記載のタイミング発生回路。

- (3) 前記保持手段と前記計数手段と前記波形生成手段とを同一基板の集積回路に含むようにしたことを特徴とする特許請求の範囲第(1)項および第(2)項記載のタイミング発生回路。

- (4) 前記タイミング生成手段を、前記各桁の内容を遅延させる前記各桁ごとの遅延回路と、外部から供給される信号により前記各桁の内容または該各桁の内容に対応する前記遅延回路の出力を選択出力する選択回路と、前記クロックに同期したパルスにตอบสนองして前記選択回路の出力を前記タイミングパルスとして出力するフリップフロップとで構成したことを特徴とする特許請求の範囲第(3)項記載のタイミング発生回路。

発明の詳細な説明

本発明はタイミング発生回路、特に、メモリを

はじめ各種情報処理装置に使用されるタイミグ発生回路に関する。

一般に、ハードウェアとソフトウェアとを問わず資源の汎用化が産業上有益なことは明らかであるが、近年の集積回路技術の進展、装置の高性能化および仕様の多様化に伴いタイミグ発生回路の汎用化は重要な技術的課題になってきた。

すなわち、多相タイミグ信号を必要とする情報処理装置においても、タイミグ発生回路の高集積化により、同一機種内または同一仕様下での使用個数は減少してくるため、異機種間または異なる仕様下での共通的使用が必須になってくる。

この場合に、機種の相違によるインタフェースやクロック速度の相違とタイミグ信号供給先回路の仕様の相違、さらには回路動作の高速化傾向により、共通的使用におけるタイミグ信号の変更もしくは調整手段が、従来に倍増して困難となる傾向にある。

従来のこの種のタイミグ発生回路は、起動信号を入力として外部から与えられるクロックをカ

ウントして出力信号を発生するカウンタと、該カウンタの出力を入力として論理演算を行なう論理回路と、前記カウンタあるいは前記論理回路の出力が前記クロックに同期したパルスによりセットされるフリップフロップとで構成され、前記論理回路や前記フリップフロップの出力としてタイミグ信号を得ている。

このような従来構成においては、カウンタや論理回路とフリップフロップとの間は印刷配線等の導体により接続しているため、タイミグ信号の設定の変更が困難であり、汎用性に欠ける欠点があった。

本発明の目的は汎用性のあるタイミグ発生回路を提供することにある。

本発明の回路は外部から供給される起動信号によりセットされる保持手段と、該保持手段がセット状態の間にクロックを計数する計数手段と、各々が複数桁からなる複数番地を有しかつ前記計数手段における計数値に基づいて定まる番地から前記桁の内容が読み出される記憶手段と、該各桁の

内容と前記クロックに同期したパルスとに基づいて前記記憶手段における桁位置ごとにタイミグパルスを生成するタイミグ生成手段とを設けたこと特徴とする。

次に本発明について図面を参照して詳細に説明する。

本発明の第1の実施例をブロック図で示す第1図において、本実施例は2個のフリップフロップ1および5と、2ビットのカウンタ2と、読出し専用メモリ(ROM)3と、フリップフロップ群4と、2個の論理積回路6および7とから構成され、記憶装置(図は省略)に対するタイミグパルスを生成するタイミグ発生回路である。ROM3は8(番地)×7(桁/番地)構成になっている。

外部から与えられる起動信号STAがフリップフロップ1を"1"にセットし、この結果により論理積回路7はクロックCLKを受入れてカウンタ2に供給するようになる。カウンタ2はフリップフロップ1が"1"のセット状態にある間はクロックCLKを計数し、計数値をROM3に常時出力

する。

一方、記憶装置に対して外部から与えられる動作指定信号RWCが、論理積回路6に対しても供給され、前記起動信号STAとの論理積がとられる。フリップフロップ5はこの論理積結果に回答して、"0"または"1"にセットされ、フリップフロップ5の出力はカウンタ2の計数値とともにROM3に対するアクセスアドレスビットを形成(フリップフロップ5の出力が最上位ビット)する。

フリップフロップ1の出力はまた、チップイネーブル信号CBNとして使用されるようにROM3に供給されているため、フリップフロップ1が"1"状態にセットされている間は、ROM3がクロックCLKに同期して、順次番地を繰上げながらアクセスされ、ROM出力ROOが読み出されてくる。

このROM出力ROOのうちの桁内容BIT0~BIT5は、クロックCLKに同期しかつ位相のズレた3個の遅延クロック(外部から供給される)DC0、DC1およびDC2とともに、フリ

ップフロップ群4において記憶装置に供給されるべきタイミングパルスを各桁ごとに生成する。

これらのタイミングパルス信号は、記憶装置を構成するメモリICの同じ端子に時分割供給される第1アドレス信号と第2アドレス信号を切り替えるためのアドレス切替え信号ADR、第1アドレス信号をストローブするためのロウアドレスストローブ信号RAS、第2アドレス信号をストローブするためのコラムアドレスストローブ信号CAS、メモリICから読み出される読出しデータ信号RDS、記憶装置に供給される書き込みデータをセットするためのライトデータストローブ信号WDSおよびメモリICへの書き込みデータを有効化するためのライトイネーブル信号WEN等である。

なお、ROMの出力ROOのうちの桁内容BIT6はフリップフロップ1、5およびカウンタ2に対するリセット信号RSTとして使用される。

第2図は第1図におけるフリップフロップ群4

めることにより、波形生成操作を行なっている。

第3図は第1図におけるROM3に予め書き込まれているデータを示し、第4図はROM3が第3図に示すようなデータを格納しているときの波形図を示す。ROM3出力が“1”である間、ROOまたはROD出力が各クロックによりセットされて、各タイミング信号が出力され、第4図に示すタイミング出力が得られる。動作指定信号RWCが読出し動作または書き込み動作を指定していると、第4図においてそれぞれライトストローブ信号WDSとライトイネーブル信号WENまたはリードストローブ信号RDSは出力されない。

第5図は第1図に示した第1の実施例において、フリップフロップ群4のみの構成を変更した第2の実施例におけるフリップフロップ群4の詳細回路図を示し、この場合のフリップフロップ群4は3個のD型フリップフロップ32、33および34と、6個のJKフリップフロップ40～45とから構成されていて、ROM3出力が“1”となると、ROO出力またはROD出力により、各タ

の詳細回路図を示し、フリップフロップ群4は9個のD型フリップフロップ12、13、14、20、21、22、23、24および25から構成されている。桁内容BIT2、BIT3およびBIT4はそれぞれD型フリップフロップ12、13および14において、遅延クロックDC2により遅延させられたあとで、それぞれ(遅延ROM出力ROD)がD型フリップフロップ22、23および24に入力され、残りの桁内容BIT0、BIT1およびBIT5はD型フリップフロップ20、21および25に直接入力される。

D型フリップフロップ20は遅延クロックDC1、D型フリップフロップ21および25は遅延クロックDC2、そしてD型フリップフロップ22、23および24は遅延クロックDC0にそれぞれ応答してそれぞれの入力を入力し、タイミング信号を生成している。すなわち、桁内容BIT0～BIT5の二値情報をタイミングパルス波形の高低に対応させ、その出力のタイミングを遅延クロックDC0、DC1およびDC2により定

タイミング信号が反転する。

第6図は第5図に示した第2の実施例により、第4図に示したのと同じタイミング信号を生成するために、ROM3に予め書き込むべきデータを示す。

第1の実施例および第2の実施例の効果は、記憶装置に対する動作指定信号RWCをROM3に対するアクセスアドレスビットの一部としているため、同一ハードウェアにおいて異なるタイミング信号を得ることができることである。

第7図は第1図に示した第1の実施例において、フリップフロップ群4のみの回路構成を変更しかつ該変更したフリップフロップ群4と、第1図におけるフリップフロップ1および5と、カウンタ2と、論理積回路6および7とを同一基板の集積回路に含ませるようにした第3の実施例におけるフリップフロップ群4の詳細回路図を示す。この場合のフリップフロップ群4は12個のD型フリップフロップ50～55および70～75と、6個の選択回路60～65とで構成されている。

D型フリップフロップ50～55はそれぞれ桁内容BIT0～BIT5を遅延クロックDC2に同期して遅延させ、選択回路60～65はそれぞれ桁内容BIT0～BIT5かD型フリップフロップ50～55の出力かを外部から供給される二値情報により選択する。D型フリップフロップ70は遅延クロックDC1、D型フリップフロップ71および75は遅延クロックDC2およびD型フリップフロップ72、73および74は遅延クロックDC0にそれぞれ応答してそれぞれの入力(選択回路70～75の出力)を出力し、タイミング信号を発生している。

第8図は第7図に示した第3の実施例において、D型フリップフロップ70～75のみをJKフリップフロップ100～105に変更し、その他は第3の実施例と同様な構成にした第4の実施例におけるフリップフロップ群4の詳細回路図を示す。

第3の実施例および第4の実施例の第1の効果は、前述の第1の実施例および第2の実施例の効果と同様である。

および第8図は第4の実施例をそれぞれ示す。

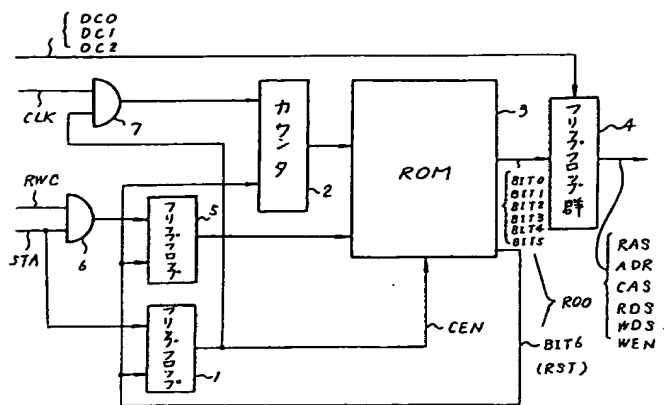
1, 5 ……フリップフロップ、2 ……カウンタ、3 ……読出し専用メモリ(ROM)、4 ……フリップフロップ群、6, 7 ……論理積回路、12, 13, 14, 20～25, 32, 33, 34, 50～55, 70～75, 80～85 ……D型フリップフロップ、40～45, 100～105 ……JKフリップフロップ、60～65, 90～95 ……選択回路、CLK ……クロック、DC0, DC1, DC2 ……遅延クロック、RWC ……動作指定信号、STA ……起動信号、CEN ……チップイネーブル信号、RST ……リセット信号、ROO ……ROM出力、ROD ……遅延ROM出力、BIT0～BIT6 ……桁内容、RAS ……ロウアドレスストロープ信号、ADR ……アドレス切替信号、CAS ……コラムアドレスストロープ信号、RDS ……リードストロープ信号、WDS ……ライトストロープ信号、WEN ……ライトイネーブル信号。

第3の実施例および第4の実施例の第2の効果は、すべての桁ごとにROM出力ROOを遅延させる回路と選択回路とを設けることにより、外部端子によりタイミング信号生成用パルスの選択幅を拡げることができるようになるため、タイミング信号発生用回路が集積化されても汎用性を失わないことである。

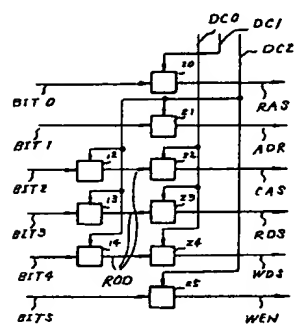
本発明の効果は、以上のような構成の採用により、記憶手段に予め書き込んでおくべきデータを変更するとともに、遅延クロックを調整し直すことにより発生するタイミング信号を広範囲に変更することができるようになるため、タイミング信号の設定変更が容易で汎用性のあるタイミング発生回路を提供することができることである。

4. 図面の簡単な説明

第1図と第2図とは第1の実施例、第3図と第4図とは第1の実施例の動作を説明するための図、第5図は第2の実施例、第6図は第2の実施例の動作を説明するための図、第7図は第3の実施例



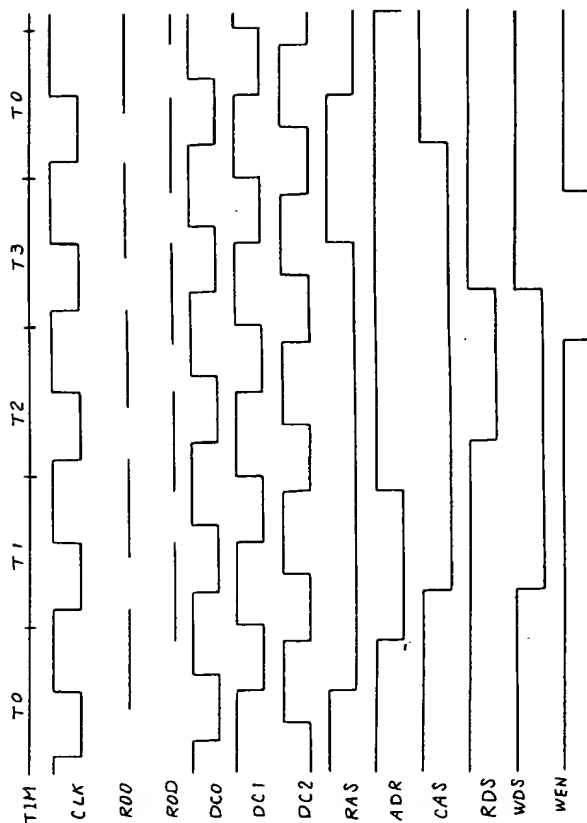
第1図



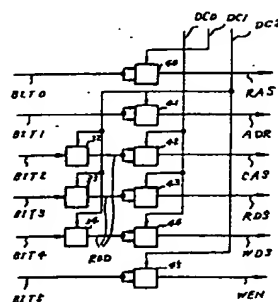
第2図

BIT ADD	0	1	2	3	4	5	6
000	1	1	1	0	0	0	0
001	1	0	1	1	0	0	0
010	1	0	1	0	0	0	0
011	0	0	0	0	0	0	1
100	1	1	1	0	1	0	0
101	1	0	1	1	0	0	0
110	1	0	1	0	0	1	0
111	0	0	0	0	0	0	1

第3図



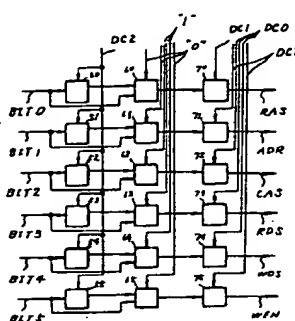
第4図



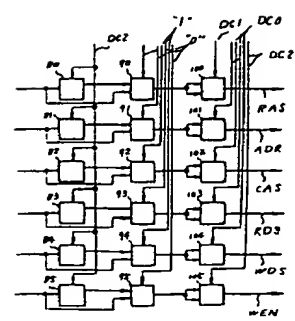
第5図

BIT ADD	0	1	2	3	4	5	6
000	1	1	1	0	0	0	0
001	0	1	0	1	0	0	0
010	0	0	0	1	0	0	0
011	1	0	1	0	0	0	1
100	1	1	1	0	1	0	0
101	0	1	0	0	1	0	0
110	0	0	0	0	0	1	0
111	1	0	1	0	0	1	1

第6図



第7図



第8図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-085527

(43)Date of publication of application : 17.05.1984

(51)Int.Cl.

G06F 1/04

(21)Application number : 57-195491

(71)Applicant : NEC CORP

(22)Date of filing : 08.11.1982

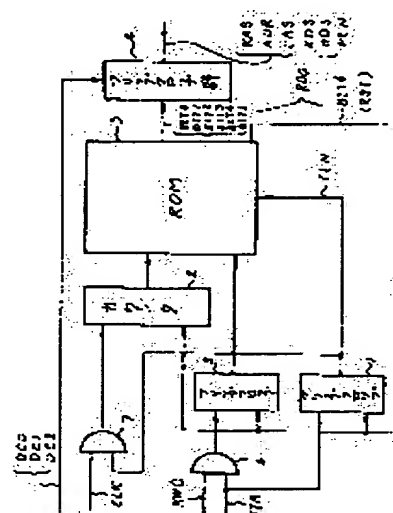
(72)Inventor : KOBAYASHI HIDEHIKO
TACHIBANA YOSHIMI

(54) TIMING GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To change the generated timing in a wide range and to produce a timing pulse for each digit position by changing the data which is previously written in a storage means and at the same time controlling again a delayed clock.

CONSTITUTION: An FF1 of a timing generating circuit is set with a start signal STA, and a counter 2 counts clocks CLK while the FF1 of a logical circuit 7 is set. Then the count value of the counter 2 is delivered to an ROM3. While an external working designating signal RWC is applied to a logical circuit 6 for the ROM3. Then an FF5 is set at 1 or 0 in response to the AND with the signal STA. An access address bit of the ROM3 is produced from the output of the FF5 and the count value of the counter 2. At the same time, the output of the FF1 is supplied to the ROM3 as a chip enable signal CEM. Then the output ROO of the ROM3 is successively delivered synchronously with the clock CLK. This output ROO is applied to an FF group 4 together with delayed clocks DC1WDC2 given from the outside, and a timing pulse is delivered for each digit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office